



별첨 시본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0065533
Application Number

출원년월일 : 2003년 09월 22일
Date of Application SEP 22, 2003

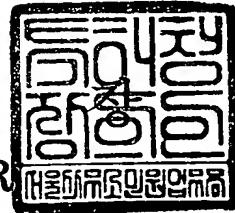
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 01 월 06 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.09.22
【국제특허분류】	H01L
【발명의 명칭】	습식식각 공정을 포함하는 반도체 소자의 제조방법
【발명의 영문명칭】	Method for manufacturing semiconductor device including wet etching process
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이원준
【성명의 영문표기】	LEE, Won Jun
【주민등록번호】	720703-1163215
【우편번호】	156-012
【주소】	서울특별시 동작구 신대방2동 395-67 롯데관악 타워 1601
【국적】	KR
【발명자】	
【성명의 국문표기】	황인석
【성명의 영문표기】	HWANG, In Seak
【주민등록번호】	641110-1464916
【우편번호】	442-706

【주소】 경기도 수원시 팔달구 망포동 동수원엘지빌리지 자이아파트 307동 19 05호

【국적】 KR

【발명자】

【성명의 국문표기】 고용선

【성명의 영문표기】 K0, Yong Sun

【주민등록번호】 620225-1030320

【우편번호】 442-738

【주소】 경기도 수원시 팔달구 영통동 청명마을4단지 건영1차아파트 424동 18 04호

【국적】 KR

【발명자】

【성명의 국문표기】 윤병문

【성명의 영문표기】 YOON, Byoung Moon

【주민등록번호】 670628-1123511

【우편번호】 442-470

【주소】 경기도 수원시 팔달구 영통동 황골마을 주공아파트 152동 901호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	9	면	9,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	20	항	749,000	원
【합계】	787,000			원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

그 내부에 소정의 패턴이 개재되어 있는 피식각 물질막에 대한 습식식각 공정을 포함하는 반도체 소자의 제조방법에 대하여 개시한다. 본 발명의 일 실시예에 따른 반도체 소자의 제조방법은 반도체 기판 상에 식각 방지막 및 몰드 산화막을 순차적으로 형성하고, 몰드 산화막 및 식각 방지막을 패터닝하여 스토리지 노드 형성 영역을 한정한다. 그리고, 단차를 따라서 스토리지 노드 형성용 도전체막을 정합적으로 형성한 다음, 버퍼 산화막을 형성한다. 그리고, 몰드 산화막이 노출될 때까지 버퍼 산화막 및 도전체막을 식각하여 스토리지 노드를 형성하는데, 이 때 도전체막을 더 깊게 식각하여 리세스를 형성한다. 다음으로, 몰드 산화막 및 버퍼 산화막이 제거되도록 습식식각 공정을 실시하면, 기포가 산화막 상에 안착하지 못하기 때문에 산화막의 미식각 현상이 발생하는 것을 방지할 수 있다.

【대표도】

도 3b

【색인어】

반도체, 습식식각, 기포, 리세스, 스토리지 노드

【명세서】**【발명의 명칭】**

습식식각 공정을 포함하는 반도체 소자의 제조방법{Method for manufacturing semiconductor device including wet etching process}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 기술에 따른 습식식각 공정을 포함하는 반도체 소자의 제조방법을 설명하기 위한 단면도이다.

도 2는 종래 기술에 따른 습식식각 공정을 포함하는 반도체 소자의 제조방법의 문제점을 설명하기 위한 도면이다.

도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 습식식각 공정을 포함하는 반도체 소자의 제조방법을 설명하기 위한 단면도이다.

도 4는 본 발명의 일 실시예에 따른 습식식각 공정을 포함하는 반도체 소자의 제조방법을 사용하여 스토리지 노드를 형성하는 방법을 설명하기 위한 단면도이다.

도 5는 습식식각 공정의 일 실시예를 도시하고 있는 공정 흐름도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자의 제조방법에 관한 것으로서, 보다 구체적으로는 습식식각 공정을 포함하는 반도체 소자의 제조방법에 관한 것이다.

<7> 식각 공정은 크게 건식식각(dry etching) 공정과 습식식각(wet etching) 공정으로 구분할 수 있다. 습식식각 공정은 일반적으로 등방성(isotropic) 공정이기 때문에 패턴의 미세화가 진전될수록 적용하는 분야가 계속 감소하는 반면에 건식식각 공정을 적용하는 분야는 넓어지고 있다. 그러나, 습식식각 공정은 배치 타입의 공정으로서 공정 소요 시간을 단축할 수 있을 뿐만이 아니라 설비 투자비용을 절감할 수 있기 때문에 현재에도 반도체 제조 공정에 광범위하게 사용되고 있다.

<8> 습식식각 공정에서는 피식각막의 제거를 위하여 식각제를 사용한다. 예를 들어, 피식각막이 실리콘산화막인 경우 식각제로 희석화된 불화수소(Diluted HF, DHF) 또는 완충 불화수소와 같은 완충 산화막 식각액(Buffered Oxide Etchants, BOE)을 일반적으로 사용한다. 완충 산화막 식각액은 불화암모늄(NH₄F)을 함유한 불화수소(HF)용액으로서, 특히 실리콘산화막의 식각율이 500(Å/분)이하인 완충 산화막 식각액은 랄(LAL)이라고 불린다. LAL은 예컨대, LAL 500과 LAL 200 등의 종류가 있는데, 이것은 LAL의 식각율이 각각 500(Å/분)과 200(Å/분)인 것을 나타낸다. LAL은 식각 특성이 균일한 장점이 있기 때문에 실리콘산화막의 식각 공정에 널리 이용되고 있다.

<9> 그리고, 완충 산화막 식각액은 불화암모늄 외에도 계면 활성제를 더 포함한다. 예를 들어, LAL 500은 약 2.5중량%의 불화수소, 약 17중량%의 불화암모늄 및 약 400ppm의 계면활성제를 포함하는 식각제이다.

<10> 도 1a 내지 도 1d에는 종래 기술에 따른 실리콘산화막에 대한 습식식각 공정을 포함하는 반도체 소자의 제조방법의 일 예가 도시되어 있다. 도시된 종래 기술은 보다 구체적으로는 실린더형 스토리지 노드의 제조방법에 대한 것이다.

<11> 도 1a를 참조하면, 기판(100) 상에 식각 방지막 및 몰드 산화막을 순차적으로 증착한다. 기판(100)과 식각 방지막 사이에는 게이트 라인 및/또는 비트 라인을 포함하는 층이 더 포함되어 있을 수 있다. 계속해서, 포토리소그라피 공정을 이용하여 몰드 산화막 및 식각 방지막을 순차적으로 패터닝한다. 그 결과, 기판(100)의 소정 부분을 노출시키는 몰드 산화막 패턴(120) 및 식각 방지막 패턴(110)이 형성된다.

<12> 도 1b를 참조하면, 상기 결과물 상에 단차를 따라서 스토리지 노드 형성용 도전체막(130)을 균일한 두께로 형성한다. 도전체막(130)은 도핑된 폴리실리콘 또는 금속 등으로 형성할 수 있다. 다음으로, 도전체막(130) 상에 베퍼 산화막(140)을 형성한다.

<13> 도 1c를 참조하면, 도전체막(130) 등을 식각하여 스토리지 노드(130a)의 노드를 분리하는 공정을 진행한다. 노드 분리 공정은 에치 백이나 CMP 등의 방법을 사용하는데, 이 공정에서는 몰드 산화막 패턴(120)의 상면이 노출될 때까지 베퍼 산화막(140) 및 도전체막(130)을 식각하는 것이 이상적이다. 그러나, 통상적으로는 몰드 산화막 패턴(120) 상부의 일정 부분까지 과식각을 함으로써, 스토리지 노드의 노드가 확실하게 분리될 수 있도록 한다. 다음으로, 식각 잔류물을 제거하기 위한 세정 공정을 실시하며, 세정 후에는 린스 및 건조 공정을 실시한다.

<14> 노드 분리 공정의 결과, 이상적인 경우에는 피식각면이 평탄화되어 있다. 즉, 스토리지 노드(130a)의 높이는 몰드 산화마가 패턴(120a) 및 베퍼 산화막 패턴(140a)의 높이와 같다. 그러나, 통상적인 경우에는 노드 분리 공정의 결과, 스토리지 노드(130a)가 몰드 산화막 패턴(120a) 및 베퍼 산화막 패턴(140a) 사이에서 약간 돌출되도록 형성된다. 그 이유는 여러 가지가 있다.

<15> 첫 번째 이유는 식각 매체와 관련이 있다. 즉, 노드 분리 공정에서 건식 에치백이나 CMP를 사용하여 식각해서 제거해야 할 물질의 양이 도전체막(130)에 비하여 실리콘산화막(120,

140)이 더 많은 것이 일반적이다. 따라서, 노드 분리를 위한 식각 매체로서 실리콘산화막에 대한 식각 특성이 우수한 매체를 사용하며, 그 결과 실리콘산화막의 식각량이 도전체막의 식각량 보다 많으며, 그 결과 수직 방향으로 실리콘산화막보다 더 깊게 식각된다.

<16> 두 번째 이유는 피식각 대상의 구조와 관련이 있다. 즉, 상기한 과식각 중의 피식각면을 살펴보면, 실리콘산화막이 스토리지 노드(130a)에 비하여 넓은 면적을 차지하고 있다. 그리고, 식각 공정의 특성상 넓은 면적을 식각할 경우에는 가장자리의 식각량에 비하여 가운데 부분의 식각량이 더 많다. 특히, 넓은 표면의 내부에 패턴이 개재되어 있는 경우에는 이러한 현상이 더욱 발생하기가 쉽다. 따라서, 식각 공정시에 도전체막에 대하여 높은 식각율을 보이는 식각 매체를 특별히 선택하여 식각 공정을 진행하지 않는 한, 과식각이 진행되는 동안에는 실리콘산화막이 도전체막에 비하여 더 많이 식각된다.

<17> 다른 하나의 이유는 식각 후에 실시하는 세정 공정과 관련이 있다. 왜냐하면, 세정 공정에서 사용하는 세정액(예컨대, SC-1)은 식각 부산물을 제거하는 기능을 할 뿐만이 아니라 자연산화막 등을 제거하는 역할을 한다. 이를 위하여 세정액은 실리콘산화막과도 반응을 하는 물질도 포함하고 있다. 따라서, 세정 공정에서 몰드 산화막 패턴 및 버퍼 절연막 패턴의 손실이 불가피하게 발생한다.

<18> 도 1d를 참조하면, 몰드 산화막 패턴(120a) 및 버퍼 산화막 패턴(140a)을 제거하기 위한 습식식각 공정을 실시한다. 습식식각 공정에서는 전술한 바와 같이 LAL 500과 같은 완충 산화막 식각액을 사용할 수가 있다.

<19> 그런데, 디자인 룰이 계속 감소함에 따라서 습식식각 단계에서 국부적으로 피식각 물질 막 예컨대 실리콘산화막이 식각되지 않는 현상이 발생하고 있다. 이로 인하여, 도 1d에 도시되어 있는 것과 같이, 습식식각 공정 후에도 스토리지 노드(130a) 내부의 버퍼 산화막(140b) 또

는 스토리지 노드(130a) 사이의 몰드 산화막(120a)이 전부 식각되지 않고 남아 있게 된다. 몰드 산화막(140b) 등이 전부 제거되지 않으면, 커패시터가 만들어지지 않거나 만들어진 커패시터가 충분한 정전 용량을 가지지 못할 수가 있다.

<20> 도 2에는 상기한 실리콘산화막의 미식각 현상이 나타나는 이유를 설명하기 위한 도면이 도시되어 있다. 도시된 미식각 현상은, 반도체 소자의 디자인 룰이 축소되고 실린더형 스토리지 노드 또는 콘택 홀의 평면 모양이 원형 또는 정방형에 가까워지고 있는 추세와 밀접한 관련을 갖고 있다. 이하에서는 도 2를 참조하여 이를 보다 구체적으로 살펴보기로 한다.

<21> 도 2를 참조하면, LAL 500등과 같은 완충 산화막 식각액은 구성 성분인 불화암모늄 및/또는 계면 활성제 등으로 인하여 내부에 다수의 미세 기포(B)를 포함하고 있다. 미세 기포(B)는 식각액을 원활하게 순환시켜서 식각 작용을 돋는 역할을 한다. 미세 기포(B)는 거의 구형에 가까우며 크기는 식각액의 조건 및 성분에 따라 여러 가지가 존재할 수 있다. 종래에는 디자인 룰이 상대적으로 크기 때문에, 가장 크기가 큰 미세 기포(B) 보다도 패턴 사이의 간격(도 3에서는 스토리지 노드의 평면 크기)이 더 컸다. 그리고, 스토리지 노드의 평면 모양도 장축과 단축의 크기 차이가 많이 나는 타원형이었기 때문에, 스토리지 노드(130a)가 약간 돌출되어 있어도 미세 기포(B)가 그 패턴 사이에 안착되는 현상은 거의 발생하지가 않았다.

<22> 그러나, 디자인 룰이 감소하고 그리고 스토리지 노드의 평면 모양이 원형에 가까워지면서 도 2에서 오른쪽 스토리지 노드 상에 도시되어 있는 바와 같이, 습식식각 공정 중에 미세 기포(B)가 패턴 사이에 안착되는 현상이 자주 발생하게 되었다. 미세 기포(B)가 패턴 사이에 안착되면 식각액이 미세 기포(B) 하부의 실리콘산화막과는 접촉하는 것을 방해한다. 따라서, 그 부분이 기포에 의해서 차단되어 거의 식각되지 않거나 다른 부분보다 식각율이 낮아지게 됨으로써 실리콘산화막의 국부적인 미식각 현상이 발생하는 것이다.

<23> 디자인 룰이 감소하면서, 실린더형 스토리지 노드의 경우에는 충분한 정전 용량을 확보하면서 동시에 스토리지 노드의 쓰러짐 현상을 방지하기 위해서 점차 그 평면 모양을 원형, 정방형 또는 마름모 내지는 이것과 유사한 모양으로 제조하지 않을 수 없다. 그러므로, 스토리지 노드의 평면 모양을 종래와 같이 타원형 등으로 만드는 것은 고집적화에 바람직하지 않다. 뿐만 아니라, 특정한 실시예에서는 식각 마스크의 패턴 모양이 원형 또는 사각형에 유사한 모양을 가질 수가 있다. 결론적으로, 기포의 안착을 방지하기 위하여 패턴의 평면 모양을 변화시키는 것은 적절한 방법이 될 수 없으며, 이와는 다른 방법을 사용할 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자 하는 기술적 과제는 습식식각 공정에서 피식각 물질막의 국부적인 미식각 현상이 발생하는 것을 방지할 수 있는 반도체 소자의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<25> 상기한 기술적 과제를 달성하기 위한 본 발명에 의한 반도체 소자의 제조방법은 피식각 물질막에 대한 습식식각 공정을 포함하며, 상기 피식각 물질막은 그 내부에 상기 피식각 물질막과는 다른 물질로 형성된 물질막 패턴을 그 내부에 포함하고 있다. 그리고, 본 발명에서는 상기 피식각 물질막을 습식식각하기 이전에 상기 물질막 패턴을 과식각하여 피식각 물질막 내에 리세스를 형성한 다음, 습식식각 공정을 진행한다. 따라서, 본 발명에 의하면 습식식각 공정에서 사용하는 식각제에 미세 기포 등이 포함되어 있더라도 습식식각 공정에서 이 미세기포가 피식각 물질막 상에 안착하는 것을 방지할 수 있다.

<26> 상기한 본 발명의 일 실시예에 의한 반도체 소자의 제조방법은 제1 물질막에 대한 습식식각 공정을 포함하는 반도체 소자의 제조방법으로서, 먼저 반도체 기판 상에 제2 물질막 패턴

이 개재되어 있는 제1 물질막을 형성한 다음, 적어도 상기 제2 물질막 패턴을 식각하여 리세스를 형성한다. 그리고, 계속하여 상기 제1 물질막이 제거되도록 습식식각 공정을 진행한다.

<27> 본 실시예의 일 측면에 의하면, 상기 제2 물질막 패턴의 평면 모양이 원형, 원형에 가까운 타원형, 정방형, 장방형 또는 마름모 형상으로서, 제2 물질막 패턴이 주변부보다 돌출되면 피식각 물질막 상에 식각제에 포함되어 있는 기포가 용이하게 안착할 수 있는 형상인 경우에 특히 유용하다.

<28> 상기한 본 발명의 다른 실시예에 의한 반도체 소자의 제조방법은 제1 물질막에 대한 습식식각 공정을 포함하는 반도체 소자의 제조방법으로서, 먼저 반도체 기판 상에 소정의 패턴을 갖는 제1 물질막을 형성한다. 그리고, 상기 반도체 기판 및 상기 제1 물질막 상에 제2 물질막을 정합적으로 형성하고, 상기 제2 물질막 상에 제3 물질막을 형성한다. 다음으로, 상기 제1 물질막의 상면이 노출될 때까지 상기 제3 물질막 및 상기 제2 물질막을 식각하는데, 이 경우에 상기 제2 물질막을 더 식각하여 리세스가 형성되도록 한다. 그리고, 잔류하는 상기 제1 물질막 및 제3 물질막이 제거되도록 습식식각 공정을 수행한다.

<29> 본 실시예의 일 측면에 의하면, 상기 제2 물질막에 의하여 한정되는 부분의 평면 모양이 원형, 원형에 가까운 타원형, 정방형, 장방형 또는 마름모 형상으로서, 제2 물질막이 주변부보다 돌출되면 피식각 물질막 상에 식각제에 포함되어 있는 기포가 용이하게 안착할 수 있는 형상인 경우에 특히 유용하다.

<30> 본 실시예의 다른 측면에 의하면 상기 제2 물질막을 식각하여 리세스를 형성하는 단계는 상기 제3 물질막 및 상기 제2 물질막을 식각하여 평탄화하는 단계 및 상기 제2 물질막만을 식각하여 상기 리세스를 형성하는 단계를 포함할 수 있는데, 이 경우 평탄화 단계 및 리세스 형성 단계는 2단계로 독립적으로 수행되거나 인-시츄로 연속적으로 수행할 수도 있다. 후자의 경

우에, 건식 식각법을 사용할 수 있는데, 이 경우에 각 식각 단계에 따라서 공정 레시피를 적절히 조절하면, 초기에는 제2 물질막 및 제3 물질막이 동시에 식각되고 다음으로 제2 물질막만을 식각되게 할 수 있다.

<31> 상기한 기술적 과제를 달성하기 위한 본 발명의 다른 측면에 의한 반도체 소자의 제조방법은 실린더형 스토리지 노드를 형성하는 방법과 관련된다. 본 실시예에 의하면 우선, 반도체 기판 상에 식각 방지막 및 몰드 산화막을 순차적으로 형성한 다음, 포토리소그라피 공정을 이용하여 상기 몰드 산화막 및 상기 식각 방지막을 패터닝하여 스토리지 노드 형성 영역을 한정한다. 그리고, 상기 결과물 상에 단차를 따라서 스토리지 노드 형성용 도전체막을 정합적으로 형성하고, 상기 도전체막 상에 버퍼 산화막을 형성한다. 계속해서, 상기 몰드 산화막이 노출될 때까지 상기 버퍼 산화막 및 상기 도전체막을 식각하여 스토리지 노드를 형성하는 단계로서, 이 경우에 적어도 상기 도전체막을 더 식각하여 리세스를 형성한다. 계속해서, 상기 몰드 산화막 및 상기 버퍼 산화막이 제거되도록 습식식각하는 공정을 실시한다.

<32> 본 실시예의 일 측면에 의하면, 상기 스토리지 노드의 평면 모양이 원형, 원형에 가까운 타원형, 정방형, 장방형 또는 마름모 형상인 경우에 특히 유용하다. 따라서, 본 실시예는 디자인 룰의 감소로 실린더형 스토리지 노드의 쓰러짐 현상을 방지하기 위하여 스토리지 노드의 평면 모양을 원형 또는 이와 유사한 형상으로 만드는 경우에 유용하게 활용할 수 있다.

<33> 이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소재되는 실시예는 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것이다. 도면에 있어서, 총의 두께 및 영역들의 크기 등은 명확성을 기하기 위하여

여과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호는 동일한 구성요소를 나타낸다.

<34> 도 3a 내지 도 3c에는 본 발명의 일 실시예에 따른 습식식각 공정을 포함하는 반도체 소자의 제조방법이 공정 순서에 따라 도시되어 있다. 도시된 도면은 실린더형 스토리지 노드를 제조하는 공정이지만, 본 발명은 예시된 공정에만 한정되는 것은 아니다.

<35> 도 3a를 참조하면, 기판(200) 상에는 식각 방지막 패턴(210)이 형성되어 있고, 그 위에는 몰드 산화막 패턴(220)이 형성되어 있다. 그리고, 상기 식각 방지막 패턴(210) 및 몰드 산화막 패턴(220)에 의하여 한정되는 영역에는 스토리지 노드 형성용 도전체막(230)이 단차를 따라서 균일한 두께로 형성되어 있다. 그리고, 도전체막(230) 상에는 버퍼 산화막(240)이 소정의 두께로 형성되어 있다.

<36> 상기한 도 3a의 구조물을 도 1b에 도시되어 있는 구조물과 동일한 형태이다. 따라서, 종래 기술에서 설명한 것과 동일한 물질, 동일한 방법 및 동일한 프로세스를 사용하여 도 3a에 도시된 구조물을 제조할 수 있다. 그러나, 본 실시예에서는 몰드 산화막 패턴(220)의 높이를 종래 기술에 의한 몰드 산화막 패턴(도 1b의 참조 번호 120) 보다는 더 높도록 하는 것이 바람직한데, 그 이유는 후술한다.

<37> 다음으로 도 3b를 참조하면, 먼저 스토리지 노드 형성용 도전체막(230)의 노드를 분리하는 공정을 실시한다. 노드 분리를 위하여 몰드 산화막 패턴(220)의 상면이 노출될 때까지 버퍼 산화막 패턴(240) 및 도전체막(230)을 식각하는데, 이 경우 종래 기술에서와 같이 건식 에치백과 같은 건식 식각법 및/또는 화학적 기계적 평탄화(CMP) 공정을 사용할 수 있다.

<38> 그리고, 본 실시예에서는 노드 분리 공정시에 몰드 산화막 패턴(220a) 및 베퍼 산화막(240a)의 높이가 스토리지 노드(230a)의 높이보다 더 높도록 식각 공정을 진행한다. 즉, 주위의 산화막(220a, 240a)에 비하여 도전체막(230)을 더 깊게 식각함으로써, 식각 공정이 완료된 후에는 산화막(220a, 240a) 사이에 리세스(R)가 형성되도록 한다. 이와 같이, 본 실시예에서는 도전체막(230)의 식각량을 고려하여 몰드 산화막 패턴(220)의 높이를 종래보다 더 높이 형성할 필요가 있다.

<39> 후속 공정인 습식식각 공정으로 제거하고자 하는 산화막(220a, 240a)의 내부에 다른 물질로 형성된 패턴(스토리지 노드(230a))이 개재되어 있는 경우, 본 실시예에서와 같이 그것의 주변부보다 더 깊게 상기 패턴을 과식각하여 리세스(R)를 형성하게 되면, 습식식각 공정에서 식각제 내의 기포가 패턴 사이 예컨대 스토리지 노드(230a)의 내부 나 인접한 스토리지 노드 사이의 산화막 상에 안착하는 현상이 발생하는 것을 방지할 수 있다.

<40> 결과적으로, 본 실시예에 의하면 식각제에 포함되어 있는 기포에 의하여 피식각 물질막인 산화막(220a, 240a)이 습식식각 공정에서 식각되지 않고 패턴 사이에 잔류하는 현상이 발생하는 것을 방지할 수 있다. 따라서, 본 실시예는 패턴에 의하여 한정되는 부분(예컨대, 스토리지 노드(220a))의 평면 모양이 원형이거나 원형에 가까운 타원형, 정방형, 장방형 또는 마름모형상인 경우와 같이, 그것이 주변보다 둘출되어 있으면 패턴의 평면 모양이 기포가 안착되기 용이한 형상인 경우에 특히 유용하다. 그리고, 일반적으로 기포의 크기가 미세하다는 점을 고려하면, 패턴이 미세한 경우(예컨대, 디자인 룰이 100nm 이하인 경우)에 유용하다.

<41> 노드 분리를 위한 식각 공정과 리세스(R)를 형성하는 공정은 독립적으로 수행할 수도 있고, 아니면 인-시츄(in-situ)로 연속적으로 수행할 수도 있다.

<42> 예컨대 전자의 경우에, 먼저 건식 에치백이나 CMP 등의 방법을 이용하여 몰드 산화막 패턴(220)의 표면이 드러날 때까지 버퍼 산화막(240) 및 도전체막(230)을 식각하여 평탄화한다. 이 평탄화 공정은 종래 기술에서 사용한 공정 조건과 동일한 공정 조건을 사용하여 수행할 수 있다. 이 경우, 전술한 바와 같이 몰드 산화막 패턴(220)의 일부도 식각될 수 있으며, 그 결과 스토리지 노드(230a)의 측면이 주위의 산화막(220a, 240a)에 비하여 돌출될 수도 있다.

<43> 다음으로, 노드 분리된 스토리지 노드(230a)의 측면을 과식각하여 도시된 바와 같이 리세스(R)를 형성하는 공정을 진행한다. 리세스 형성 공정은 예컨대 건식 식각 공정을 사용할 수 있다. 예를 들어, 스토리지 노드(230a)를 폴리실리콘으로 형성하는 경우, 건식 식각 공정에서 는 산화막(220a, 240a)은 거의 식각되지 않도록 식각 가스로서 산화막(220a, 240a)에 대하여 식각 선택비가 아주 높은 가스를 식각 매체로 사용하는 것이 바람직하다.

<44> 그리고 후자의 경우 즉, 인-시츄로 공정을 진행하여 리세스를 형성하는 경우에는 건식 식각 공정이 보다 바람직하다. 건식 식각 공정에서는 식각 매체의 식각 레시피를 공정 단계에 따라 적절히 조절할 수가 있다. 예를 들어, 건식 식각 공정의 전반부에는 피식각막의 대부분이 산화막인 점을 고려하여 산화막에 대한 식각 특성이 우수한 물질을 식각 매체로 사용한다. 그러나, 건식 식각 공정의 후반부에는 상기 리세스가 형성될 수 있도록 종래 건식 식각 공정에서 사용하던 식각 매체에 비하여 도전체막(230)에 대한 식각 특성이 더 우수한 식각 매체를 사용하는 것이 바람직하다.

<45> 다음으로 도 3c를 참조하면, 습식식각 공정을 사용하여 잔류하고 있는 몰드 산화막 패턴(220a) 및 버퍼 산화막(440a)을 제거한다. 도 3c에는 습식식각 공정의 결과물이 도시되어 있다. 그리고, 이 단계에서 사용할 수 있는 습식식각 공정의 일 예에 대한 공정 플로우는 도 5에 도시되어 있다.

<46> 도 5를 참조하면, 먼저 습식식각 설비에 피처리 기판을 로딩한다(S11). 습식식각 설비는 예컨대, 식각용 배쓰(bath), 린스용 배쓰 및 세정용 배쓰 등과 건조기를 포함한다. 그리고, 카세트 또는 보우트에 탑재되어 있는 피처리 기판은 스토리지 노드의 노드 분리 후에 세정 및 건조 공정을 완료한 상태로 습식식각 설비에 로딩될 예정이다. 습식식각 설비에서 피처리 기판은 로봇 등의 기판 이동 수단에 의하여 하나의 배쓰에서 다른 배쓰로 이동된다.

<47> 계속해서 도 5를 참조하면, 본 공정인 습식식각 단계를 실시한다(S12). 습식식각 단계는 식각액을 담고 있는 식각용 배쓰에 피처리 기판을 담그는 방식 즉 디핑(dipping)법으로 실시된다. 예컨대, 식각액이 LAL 500이고, 제거해야 하는 실리콘산화막의 두께가 약 15000Å 정도인 경우에 공정 시간은 약 1500초 정도일 수 있다. 그러나, 공정 시간은 식각액의 종류 및 제거해야 하는 실리콘산화막의 물성 및 두께에 따라서 다를 수 있다.

<48> 계속해서 도 5를 참조하면, 습식식각 후의 세정 공정을 실시한다. 이를 위하여 먼저 피처리 기판에 대하여 쿼크 드레인 린스(Quick Drain Rinse, QDR) 즉 제1 린스 공정을 실시한다(S13). QDR 공정은 예컨대 탈이온수를 담고 있는 린스용 배쓰에서 약 600초 정도 실시할 수 있다. 다음으로, 피처리 기판에 대하여 세정 공정을 실시한 다음 바로 제2 린스 공정 즉 QDR 공정을 실시한다(S14). 세정 공정은 습식식각 공정의 부산물을 제거하기 위하여 실시하는데, 예를 들어 SC-1을 담고 있는 세정용 배쓰에서 진행한다. 세정 및 제2 린스 공정은 약 300초 정도의 시간 동안 실시할 수 있다. 마지막으로, 피처리 기판에 대하여 건조 공정을 실시하면 세정 공정은 종료한다. 건조 공정은 예컨대 약 300초 정도의 시간 동안 진행할 수 있다.

<49> 도 3a 내지 도 3c 그리고 도 5를 참조하여 상술한 본 발명의 실시예는 보다 구체적으로는 반도체 디램 소자의 스토리지 노드 제조방법에 적용이 가능하다. 상기한 적용예는 도 4의 도면에 도시되어 있는데, 도 4에는 본 발명의 일 실시예에 따른 습식식각 공정을 포함하는 반

도체 소자의 제조방법을 사용하여 제조한 스토리지 노드를 포함하는 반도체 소자에 대한 단면도가 도시되어 있다.

<50> 도 4를 참조하면, 스토리지 노드 제조방법에서는 먼저 반도체 기판(300) 상에 도전성 플러그(305)가 개재되어 있는 층간 절연층(302)을 형성하는 공정을 실시한다. 본 단계의 도전성 플러그(305) 및 층간 절연층(302) 형성 공정은 통상적인 콘택 플러그 형성 공정을 사용하여 수행할 수 있다. 예컨대, 먼저 반도체 기판(300) 상에 실리콘 산화물 등으로 층간 절연층(302)을 형성한 다음, 포토리소그라피 공정을 사용하여 층간 절연층(302)에 콘택 홀을 형성한다. 다음으로 콘택 홀을 매립하는 도전 물질을 콘택 홀에 매립하면 도전성 플러그(305)가 만들어진다. 필요한 경우, 본 단계에서는 에치백이나 CMP 등의 평탄화 공정을 사용할 수 있다.

<51> 계속해서, 상기한 실시예(도 3a 내지 도 3c 참조)에 기술한 것과 동일하게 공정을 진행하면 도 4에 도시된 것과 같은 스토리지 노드(330a)가 만들어진다. 다만, 본 실시예에서는 스토리지 노드(330a)와 도전성 플러그(305)가 서로 연결될 수 있어야 한다. 이를 위하여, 스토리지 노드 형성 영역을 한정하는 단계에서 몰드 산화막 및 식각 방지막을 패터닝할 때에 도전성 플러그(305)가 노출되도록 포토리소그라피 공정 및 식각 공정을 진행한다.

<52> 이와 같이, 반도체 디램 제조방법에 본 발명을 적용하면 몰드 산화막 및 베퍼산화막의 제거를 위한 습식식각 공정에서 산화막의 미식각 현상을 방지할 수가 있다. 따라서, 스토리지 노드의 미형성 또는 불충분한 정전 용량을 갖는 스토리지 노드의 형성에 따른 메모리 셀의 불량을 방지할 수가 있다.

【발명의 효과】

<53> 본 발명에 의하면 패턴의 미세화 및 원형화 추세에도 불구하고 실리콘산화막에 대한 습식식각 공정에서 국부적인 실리콘산화막의 미식각 현상이 생기는 것을 방지할 수가 있다. 특히, 본 발명은 실린더형 스토리지 노드나 스택형 스토리지 노드 형성 공정에서 실리콘산화막을 제거하는 경우 또는 층간 절연막에 콘택 홀을 형성하기 위하여 실리콘산화막을 식각하는 경우에 유용하게 적용할 수가 있다. 따라서, 본 발명에 의한 반도체 소자의 제조방법을 사용하면, 반도체 소자의 집적도를 더욱 향상시킬 수 있을 뿐만이 아니라 반도체 소자의 불량율도 현저히 감소시킬 수가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 제2 물질막 패턴이 개재되어 있는 제1 물질막을 형성하는 단계;
적어도 상기 제2 물질막 패턴을 식각하여 리세스를 형성하는 단계; 및
상기 제1 물질막이 제거되도록 습식식각하는 단계를 포함하는 습식식각 공정을 포함하는
반도체 소자의 제조방법.

【청구항 2】

제1항에 있어서,

상기 제2 물질막 패턴의 평면 모양은 원형, 원형에 가까운 타원형, 정방형, 장방형 또는
마름모 형상인 것을 특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 3】

제1항에 있어서,

상기 제1 물질막을 형성하기 이전에 상기 반도체 기판 상에 상기 제1 물질막에 대하여
식각 선택비가 높은 물질로 식각 방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는
습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 4】

제3항에 있어서,

상기 제1 물질막은 실리콘산화막이고, 상기 식각 방지막은 실리콘질화막인 것을 특징으
로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 5】

제4항에 있어서,

상기 습식식각 단계는 완충 산화막 식각액을 사용하여 실시하는 것을 특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 6】

반도체 기판 상에 소정의 패턴을 갖는 제1 물질막을 형성하는 단계;

상기 반도체 기판 및 상기 제1 물질막 상에 단차를 따라서 제2 물질막을 정합적으로 형성하는 단계;

상기 제2 물질막 상에 제3 물질막을 형성하는 단계;

상기 제1 물질막의 상면이 노출될 때까지 상기 제3 물질막 및 상기 제2 물질막을 식각하는 단계로서, 상기 제2 물질막을 더 식각하여 리세스를 형성하는 단계; 및

잔류하는 상기 제1 물질막 및 제3 물질막이 제거되도록 습식식각하는 단계를 포함하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 7】

제6항에 있어서,

상기 제2 물질막의 패턴에 의하여 한정되는 영역의 평면 모양은 원형, 원형에 가까운 타원형, 정방형, 장방형 또는 마름모 형상인 것을 특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 8】

제6항에 있어서, 상기 리세스를 형성하는 단계는,

상기 제3 물질막 및 상기 제2 물질막을 식각하여 평탄화하는 단계; 및
상기 제2 물질막만을 식각하여 상기 리세스를 형성하는 단계를 포함하는 것을 특징으로
하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 9】

제8항에 있어서,

상기 평탄화 단계는 건식식각 공정 또는 화학적 기계적 평탄화 공정으로 수행하는 것을
특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 10】

제8항에 있어서,

상기 평탄화 단계 및 상기 리세스 형성 단계는 건식식각 공정을 이용하여 연속적으로 수
행하는 것을 특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 11】

제6항에 있어서,

상기 제1 물질막을 형성하기 이전에 상기 반도체 기판 상에 상기 제1 물질막에 대하여
식각 선택비가 높은 물질로 식각 방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는
습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 12】

제11에 있어서,

상기 제1 물질막 및 상기 제3 물질막은 실리콘산화막이고, 상기 식각 방지막은 실리콘질
화막인 것을 특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 13】

제12항에 있어서,

상기 습식식각 단계는 완충 산화막 식각액을 사용하여 실시하는 것을 특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 14】

반도체 기판 상에 식각 방지막 및 몰드 산화막을 순차적으로 형성하는 단계;

상기 몰드 산화막 및 상기 식각 방지막을 패터닝하여 스토리지 노드 형성 영역을 한정하는 단계;

상기 결과물 상에 단차를 따라서 스토리지 노드 형성용 도전체막을 정합적으로 형성하는 단계;

상기 도전체막 상에 버퍼 산화막을 형성하는 단계;

상기 몰드 산화막이 노출될 때까지 상기 버퍼 산화막 및 상기 도전체막을 식각하여 스토리지 노드를 형성하는 단계로서, 상기 도전체막을 더 식각하여 리세스를 형성하는 단계; 및

상기 몰드 산화막 및 상기 버퍼 산화막이 제거되도록 습식식각하는 단계를 포함하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 15】

제14항에 있어서,

상기 스토리지 노드의 평면 모양은 원형, 원형에 가까운 타원형, 정방형, 장방형 또는 마름모 형상인 것을 특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 16】

제14항에 있어서, 상기 리세스를 형성하는 단계는,
상기 몰드 산화막 및 상기 도전체막을 식각하여 평탄화하는 단계; 및
상기 도전체막만을 식각하여 상기 리세스를 형성하는 단계를 포함하는 것을 특징으로 하
는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 17】

제16항에 있어서,
상기 평탄화 단계는 건식식각 공정 또는 화학적 기계적 평탄화 공정으로 수행하는 것을
특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 18】

제16항에 있어서,
상기 평탄화 단계 및 상기 리세스 형성 단계는 건식식각 공정을 이용하여 연속적으로 수
행하는 것을 특징으로 하는 습식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 19】

제14항에 있어서,
상기 습식식각 단계는 완충 산화막 식각액을 사용하여 실시하는 것을 특징으로 하는 습
식식각 공정을 포함하는 반도체 소자의 제조방법.

【청구항 20】

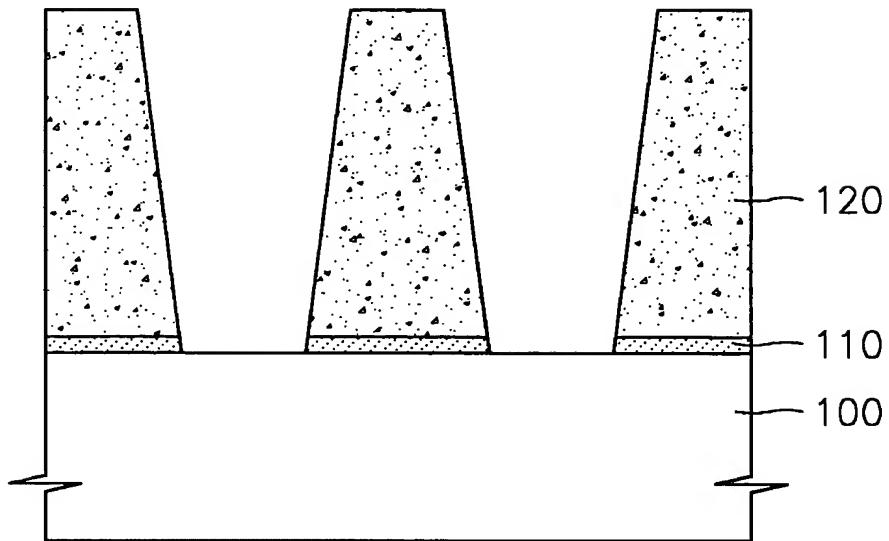
제14항에 있어서,

상기 식각 방지막이 형성하는 단계 이전에 상기 반도체 기판 상에 도전성 플러그가 개
재되어 있는 충간 절연층을 형성하는 단계를 더 포함하고,

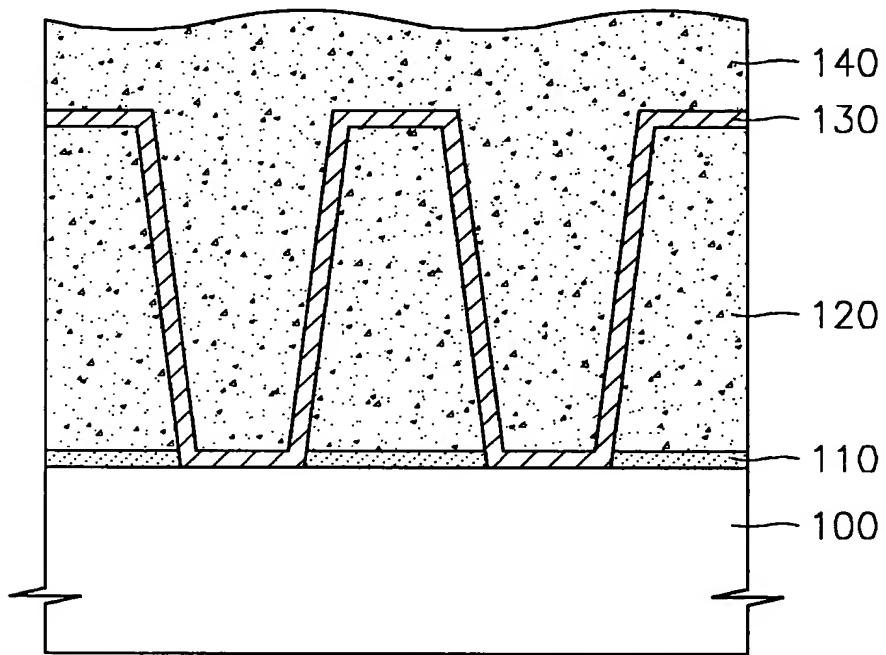
상기 스토리지 노드 형성 영역 한정 단계에서는 상기 도전성 플러그를 노출시키도록 상
기 몰드 산화막 및 상기 식각 방지막을 패터닝하는 것을 특징으로 하는 습식식각 공정을 포함
하는 반도체 소자의 제조방법.

【도면】

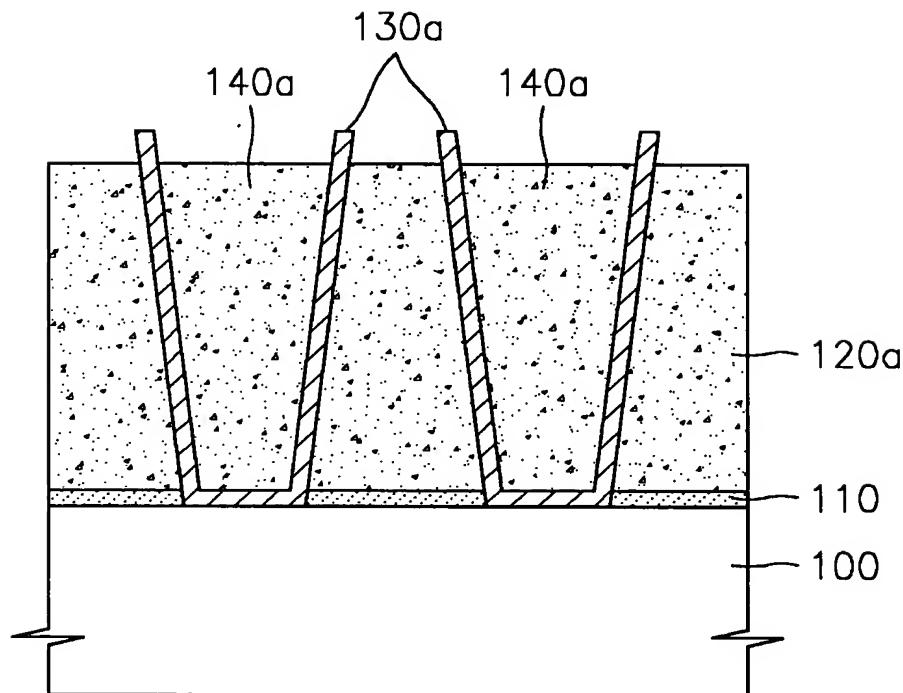
【도 1a】



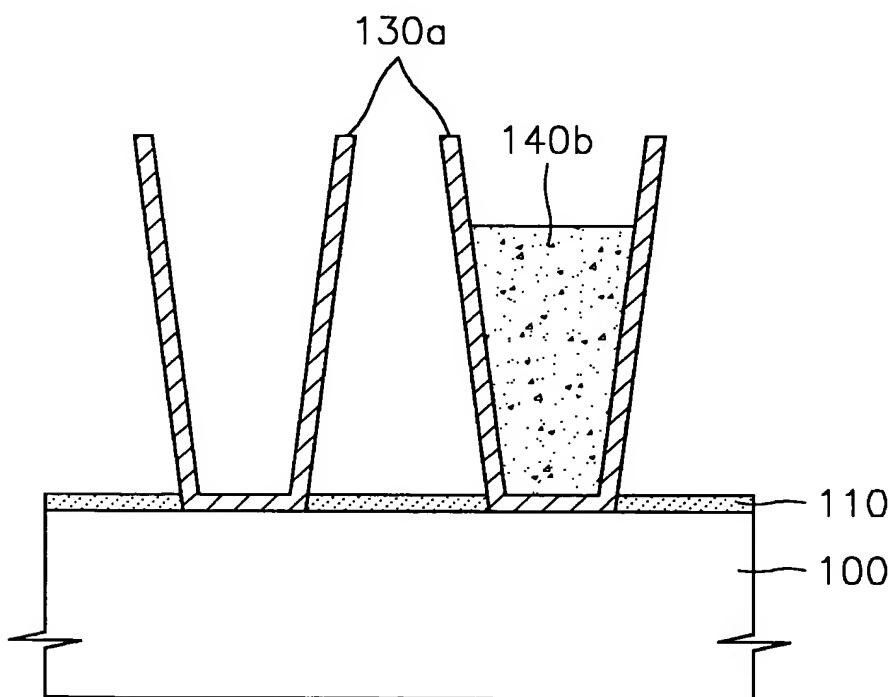
【도 1b】



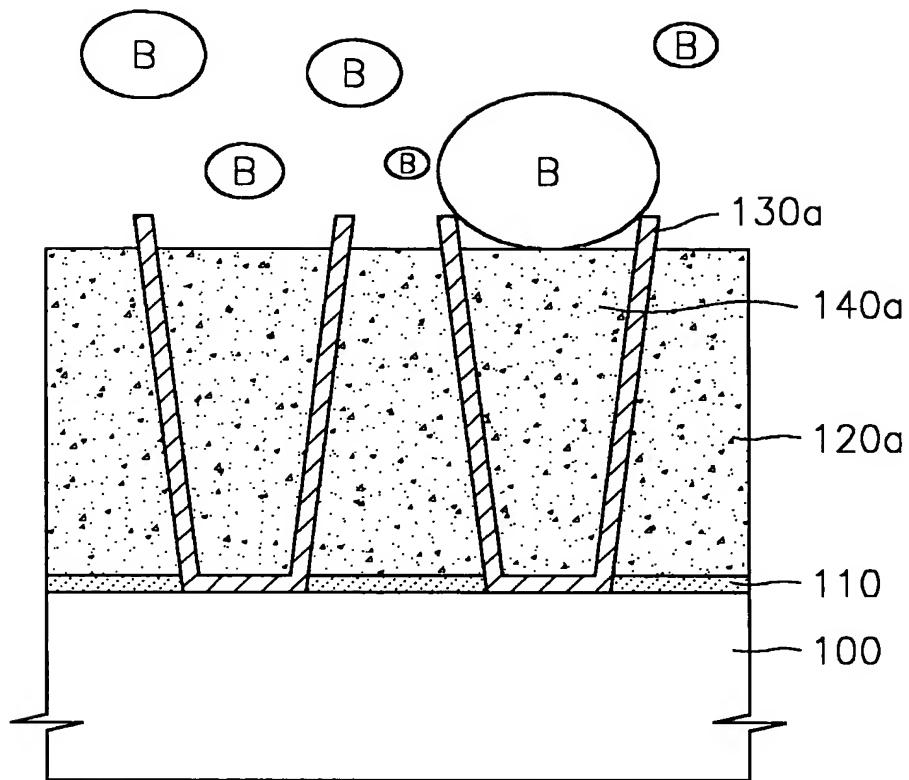
【도 1c】



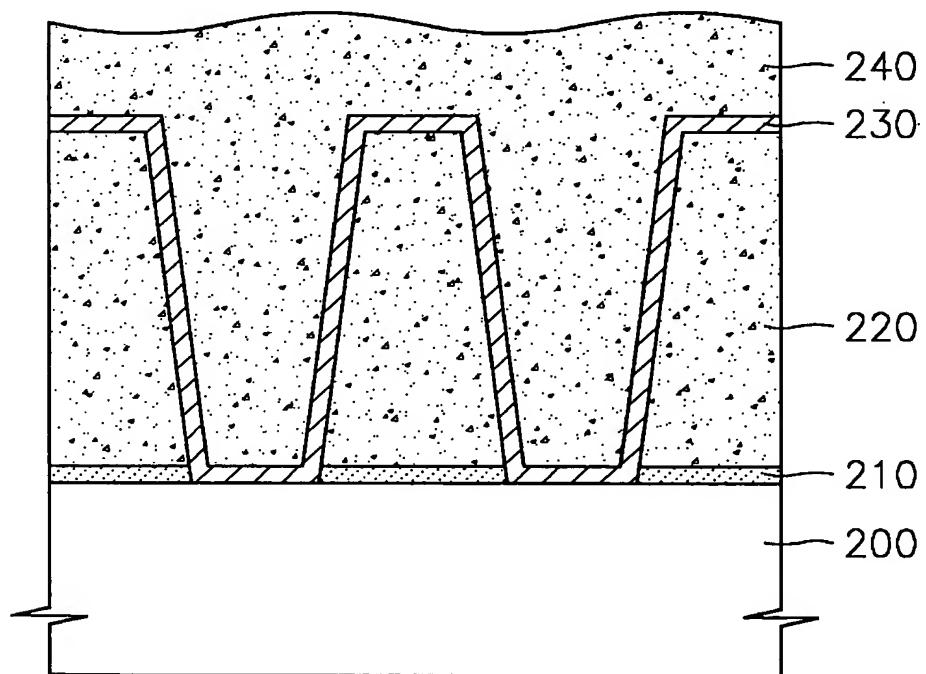
【도 1d】



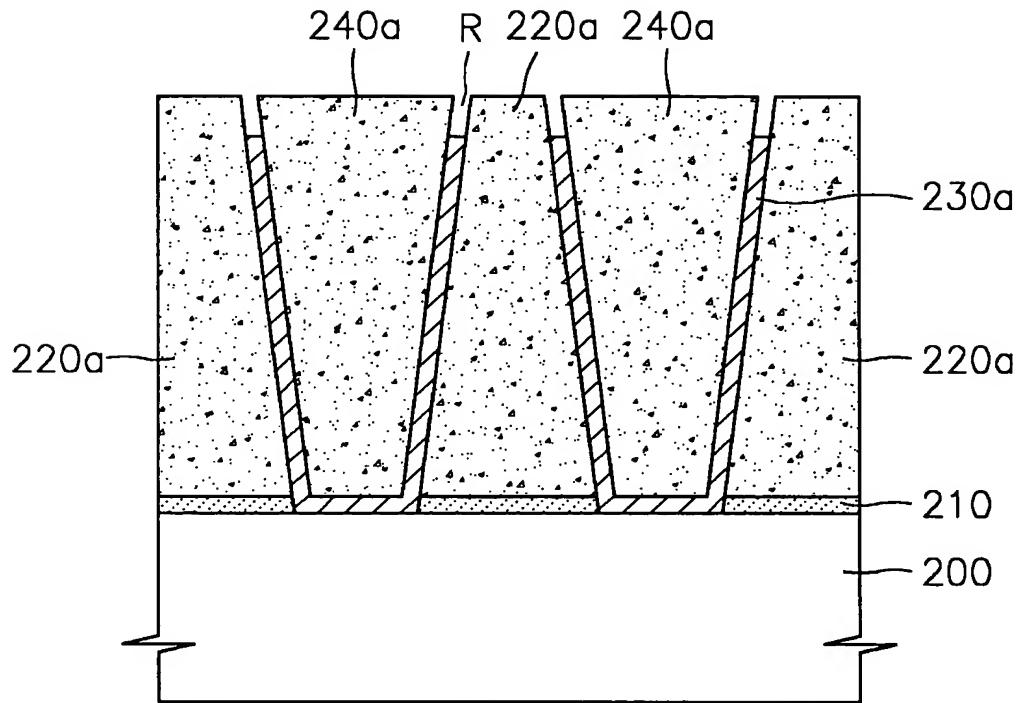
【도 2】



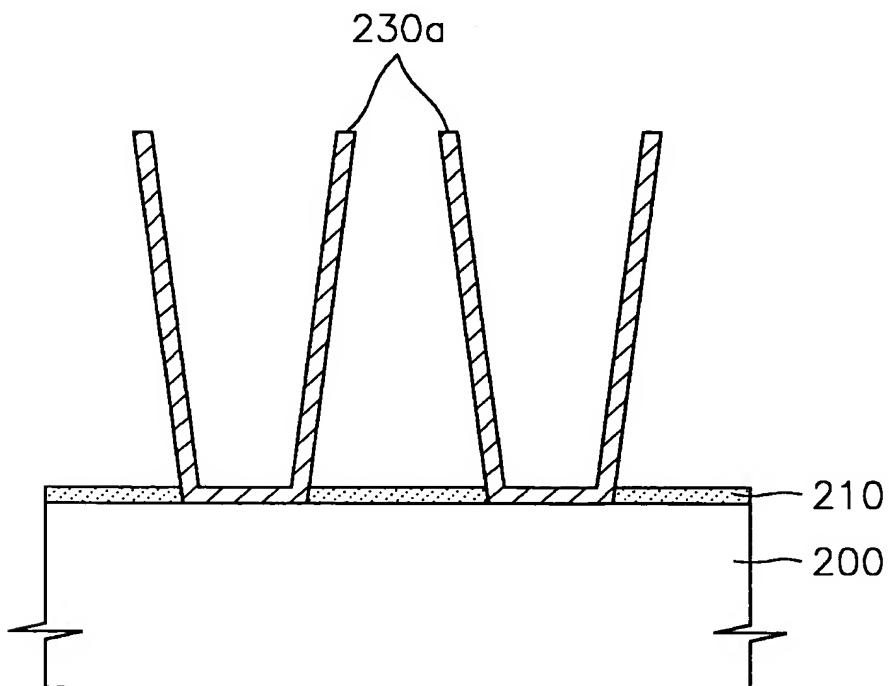
【도 3a】



【도 3b】



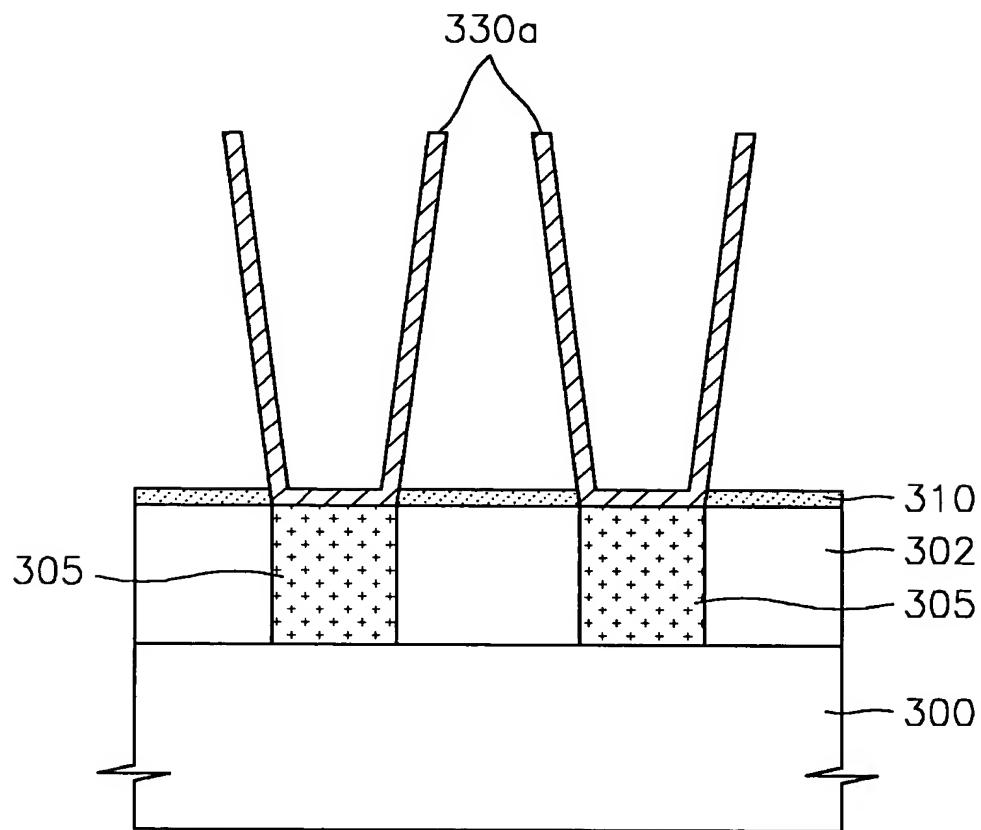
【도 3c】



1020030065533

출력 일자: 2004/1/7

【도 4】



【도 5】

